



Grado en Ingeniería de Computadores

Tecnología de Computadores

Práctica 7



Universidad
Rey Juan Carlos

1. Objetivo

En esta séptima sesión de prácticas se pretende que el alumno se familiarice con la creación de testbenches para la simulación de circuitos digitales.

Una vez terminada la práctica el alumno será capaz de:

- Entender el funcionamiento de un bloque *process* en VHDL
- Crear testbenches para simulación de circuitos combinacionales
- Crear testbenches para simulación de circuitos secuenciales

2. Desarrollo de la práctica

Simular un circuito combinacional.

En este primer ejercicio de la práctica se realizará la simulación de un circuito combinacional dado. Cree un nuevo proyecto en Vivado y añada el fichero VHDL "*combinational.vhd*". Genere el esquemático del circuito abriendo el diseño elaborado para hacerse una idea del circuito que va a simular. Tome nota de las señales de entrada y de salida. Una vez entendido, cree un testbench para simular el circuito y genere su tabla de verdad. Determine el comportamiento del circuito.

Ayuda: si no ve claro el funcionamiento del circuito, puede incluir en la ventana de simulación las señales internas B y S para analizarlo más en profundidad. También le ayudará realizar más simulaciones para distintos valores de la constante B.

Simular un circuito secuencial.

En este segundo ejercicio se realizará la simulación de un circuito secuencial dado. Cree un nuevo proyecto en Vivado y añada los ficheros VHDL "*sequential1.vhd*" y "*sequential2.vhd*". Genere el esquemático del circuito abriendo el diseño elaborado para hacerse una idea del circuito que va a simular. Tome nota de las señales de entrada y salida. Una vez entendido, cree un testbench para simular el circuito. Utilice los siguientes valores de simulación:

- Simule para CLK un reloj de 50MHz
- Simule para CLR una señal que comienza valiendo '1' durante 30 ns y luego se pone a '0' indefinidamente.

¿Cómo se comporta el circuito definido en el código VHDL "*sequential1.vhd*"? ¿Y el circuito definido en el código VHDL "*sequential2.vhd*"?

Ayuda: si no ve claro el funcionamiento del circuito, puede incluir en la ventana de simulación las señales internas L, UP, D y C para analizarlo más en profundidad. También le ayudará realizar la simulación del componente "*sequential2*" por separado dando los valores que considere a sus señales de entrada.

3. Ejercicio propuesto

Finalmente, para practicar técnicas de simulación más avanzadas se va a realizar un último ejercicio. La idea de este último ejercicio es que el alumno aprenda a utilizar ficheros de texto de entrada/salida para sus simulaciones. De este modo, se puede utilizar un fichero de texto con los valores de las entradas predefinidos y no tener que escribirlos a mano en el código VHDL del testbench. De igual forma, se puede hacer una escritura en fichero de texto desde la simulación. De este modo se guardará en un fichero de texto las salidas del circuito para su posterior análisis.

Abra de nuevo el proyecto en Vivado que creó para simular el circuito combinacional del primer ejercicio. Añada el fichero de testbench "*tb_inout.vhd*" proporcionado y lance la simulación. ¿Por qué ha fallado la simulación? Analice el código VHDL del testbench junto con el error que le indica Vivado y corrija el error. Una vez corregido el error, ejecute nuevamente la simulación. ¿Qué valor se obtiene en la línea 6 del fichero "*output.txt*"? ¿A qué señal del circuito corresponde ese valor?